

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242335

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H01L 23/13

H01L 23/522

H05K 3/46

(21)Application number : 09-044027

(71)Applicant : NEC CORP

(22)Date of filing : 27.02.1997

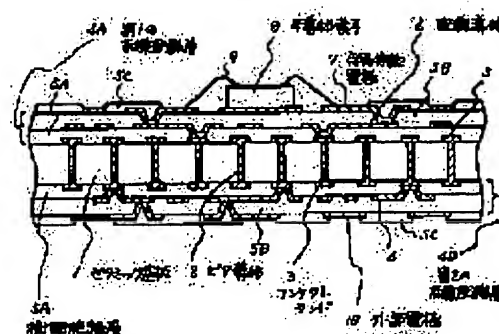
(72)Inventor : MORIYAMA YOSHIFUMI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-functional module to be a semiconductor device which allots the functions of a substrate and wiring layers to realize a small and light-wt. device and improve the connection reliability, substrate productivity and assembling efficiency.

SOLUTION: The device comprises a ceramic structure 1 having standardized via conductors 2 and lands 3 but no wiring layer inside, org. wiring layers 4A, 4B having resin insulation layers 5A, 5B or conductive layers 6 laminated on both surfaces of the substrate 1, semiconductor elements 8 connected to the conductive layers 6 through connecting electrodes 7, and outer electrodes 10. The elements 8 are connected to externals through the conductor layers 6 of the layers 4A, 4B and via conductors 2 of the substrate 1. The substrate 1 has only connections between the front and back surfaces, thus enhancing the dimensional stability of the layers 4A, 4B designed to have a laminate structure easy to peel off the pattern and absorbs the stress at connecting components.



LEGAL STATUS

[Date of request for examination] 27.02.1997

[Date of sending the examiner's decision of rejection] 18.05.1999

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 242335

(43) 公開日 平成10年 (1998) 9月11日

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 23/13

H 0 1 L 23/12

C

23/522

H 0 5 K 3/46

Q

H 0 5 K 3/46

H 0 1 L 23/52

B

審査請求

有

請求項の数 8

O L

(全 6 頁)

(21) 出願番号 特願平9-44027

(22) 出願日 平成9年 (1997) 2月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 森山 好文

東京都港区芝五丁目7番1号 日本電気株式
会社内

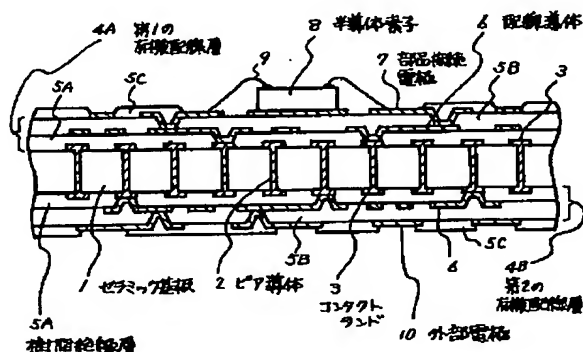
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 基板と配線層の機能を振り分け、小型・軽量化し、接続の信頼性、基板の生産性、組立て効率を向上させた半導体装置としての多機能モジュールを提供すること。

【解決手段】 標準化したビア導体 2 やランド 3 を備え、内部には配線層を形成しないセラミック基板 1 と、基板 1 の両面に樹脂絶縁層 5 A、5 B や導体層 6 を積層した有機配線層 4 A、4 B と、導体層 6 に部品接続電極 7 を介して接続される半導体素子 8 と、外部電極 10 とを有し、半導体素子 8 は配線層 4 A、4 B の導体層 6 およびセラミック基板 1 のビア導体 2 を介して外部に接続される。基板 1 は表裏の接続だけであるため、配線層 4 A、4 B の寸法安定性を増大させ、また配線層 4 A、4 B はパターンの引き廻しが容易な積層構造とし、部品接続時の応力を吸収させる。



【特許請求の範囲】

【請求項 1】 表裏面を結合するための規則的に配列されたビア導体を備えるとともに、内部には配線層が形成されない絶縁性基板と、前記絶縁性基板の両面にそれぞれ樹脂絶縁層および導体層を積層して形成された第 1 および第 2 の有機配線層と、前記第 1 の有機配線層の前記導体層に接続される半導体素子などの電子部品とを有し、前記電子部品は前記第 1 および第 2 の有機配線層の前記導体層および前記絶縁性基板の前記ビア導体を介して外部に電氣的に接続されることを特徴とする半導体装置。 10

【請求項 2】 前記絶縁性基板は、セラミックを基材とするセラミック基板を用いた請求項 1 記載の半導体装置。

【請求項 3】 前記ビア導体の少なくとも一部は、格子状もしくは市松状に配置される請求項 1 記載の半導体装置。

【請求項 4】 前記ビア導体は、前記絶縁性基板の表面および裏面への露出部近傍にコンタクトランドを形成した請求項 1 記載の半導体装置。

【請求項 5】 前記絶縁性基板は、その表裏面の端部に前記有機配線層を形成しない基板露出部を形成した請求項 1 記載の半導体装置。

【請求項 6】 前記第 1 の有機配線層は、その上面に前記電子部品と接続するための部品接続電極を形成し、前記第 2 の有機配線層は、その上面に外部に接続するための外部電極を形成した請求項 1 記載の半導体装置。

【請求項 7】 前記電子部品は、パンプ電極を備え、前記第 1 の有機配線層の前記部品接続電極にパンプ接続される請求項 6 記載の半導体装置。

【請求項 8】 前記第 2 の有機配線層の前記外部電極は、はんだパンプを形成した請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に回路配線基板上に半導体素子などの電子部品を実装してなる半導体装置に関する。

【0002】

【従来の技術】 従来、この種の半導体装置は、大型コンピュータのプロセッシングユニット等の比較的大規模な集積回路に用いられている。

【0003】 かかる半導体装置は、構造上の特徴として、セラミック多層基板の片側にポリイミド系樹脂等の絶縁層および銅 (Cu) などの導体層からなる有機配線層を形成しており、しかもこの有機配線層を多層構造としている場合が多い。特に、このセラミック多層基板は比較的高価であるため、機能の高い部分を小型モジュール化することにより、基板としての特徴が生かされている。

【0004】 例えば、特開平 1-140796 号公報の図 1 などに記されているように、セラミック多層基板上に Cu とポリイミドからなる有機配線層を形成し、半導体素子をフリップチップ実装したもの、あるいは特開昭 60-10698 号公報の図 2 などに記されているように、セラミック基板にリード状の端子を設けたものなどが一般的である。

【0005】 図 4 はかかる従来の一例を説明するための半導体装置の断面図である。図 4 に示すように、従来の半導体装置は、内部に複数の第 1 の配線層 6a、6b を形成し且つこれらの第 1 の配線層 6a、6b を電氣的に接続する導体部 2a を備えたセラミック基板 1a と、このセラミック基板 1a 上に形成されるとともに、ポリイミド絶縁膜 15a、15b および複数の第 2 の配線層 16a、16b からなる有機配線層 4 と、セラミック基板 1a の導体部 2a にはんだ付けされる外部接続のための外部端子 17 とを有し、回路モジュールを形成している。この回路モジュールは高機能化されているため、基板のサイズとして、50mm 角以上の大きさになる場合が多い。

【0006】 このように、従来の半導体装置は、ベースとなる基板 (コア基板) にセラミック基板を用い、回路モジュールを形成しているため、外部端子 17 はかかる回路モジュールを実装するボードとの整合をとり易いリード状の端子にする必要があり、しかもリード状の外部端子 17 はロウ付けなどの手法により、セラミック基板 1a の周囲または基板裏面に設けられている。

【0007】 また、半導体装置としての回路モジュールは、セラミック基板 1a と有機配線層 4 をそれぞれ多層構造としているため、小規模なものでも 8 層以上の積層が可能であり、実用上十分な配線構造が得られている。

【0008】

【発明が解決しようとする課題】 上述した従来の半導体装置は、コア基板としてセラミック基板を用いた場合、基板自体が高価となるため、民生的用途には価格の面で用いられにくいという問題がある。

【0009】 その理由は、セラミック多層基板をベース基板としているため、その部分のコストそのものが高いたことが挙げられる。また、個片基板の状態外部端子取り付けや有機配線層の形成を行うため、総じて基板コストが高くなってしまっているからである。

【0010】 また、従来の半導体装置は、完成されたパッケージの専用性が高いことが挙げられる。つまり、基本的に高い設計自由度を有するものの、一度できあがった製品の設計変更は行いにくいという問題がある。

【0011】 その理由は、設計変更が必要となった場合、セラミック多層基板と有機配線層の両方を開発することになり、開発コストが大きくなるからである。

【0012】 本発明の主たる目的は、このようなコア基板としてのセラミック基板と有機配線層の持つ機能を振

り分け、回路モジュールとして小型・軽量化するとともに、高集積化を図った半導体装置を提供することにある。

【0013】また、本発明の他の目的は、有機配線層を介して、電子部品あるいはパッケージの実装を行うことにより、接続の信頼性を高めた半導体装置を提供することにある。

【0014】さらに、本発明の他の目的は、セラミック基板を標準化した構造とすることにより、基板の生産性を高めると同時に、回路モジュールとしての組立て効率を向上させ、大幅なコストダウンを実現できる半導体装置を提供することにある。

【0015】

【課題を解決するための手段】本発明の半導体装置は、表裏面を結合するための規則的に配列されたビア導体を備えとともに、内部には配線層が形成されない絶縁性基板と、前記絶縁性基板の両面にそれぞれ樹脂絶縁層および導体層を積層して形成された第1および第2の有機配線層と、前記第1の有機配線層の前記導体層に接続される半導体素子などの電子部品とを有し、前記電子部品は前記第1および第2の有機配線層の前記導体層および前記絶縁性基板の前記ビア導体を介して外部に電気的に接続されるように構成される。

【0016】また、本発明の半導体装置における絶縁性基板は、セラミックを基材とするセラミック基板を用いることができる。

【0017】また、本発明の半導体装置におけるビア導体の少なくとも一部は、格子状もしくは市松状に配置される。

【0018】また、本発明の半導体装置におけるビア導体は、絶縁性基板の表面および裏面への露出部近傍にコンタクトランドを形成している。

【0019】また、本発明の半導体装置における絶縁性基板は、その表裏面の端部に有機配線層を形成しない基板露出部を形成することができる。

【0020】また、本発明の半導体装置における第1の有機配線層は、その上面に電子部品と接続するための部品接続電極を形成し、第2の有機配線層は、その上面に外部に接続するための外部電極を形成している。

【0021】また、本発明の半導体装置における電子部品は、パンプ電極を備え、第1の有機配線層の部品接続電極にパンプ接続することができる。

【0022】さらに、本発明の半導体装置における第2の有機配線層の外部電極は、はんだパンプを形成することができる。

【0023】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0024】図1は本発明の第1の実施の形態を説明するための半導体装置の断面図である。図1に示すよう

に、この実施の形態における半導体装置は、複数のビア導体2および表裏両面に形成するとともに、ビア導体2の両端に接続されるコンタクトランド3を備えた絶縁性基板としてのセラミック基板1と、このセラミック基板1の上面（表面）側に形成し且つ樹脂絶縁層5A、配線導体6および樹脂絶縁層5Bからなる第1の有機配線層4Aと、セラミック基板1の下面（裏面）側に形成し且つ樹脂絶縁層5A、配線導体6および樹脂絶縁層5Bからなる第2の有機配線層4Bと、第1の有機配線層4Aの上に形成した部品接続電極7と、部品接続電極7にボンディングワイヤ9を介して（あるいははんだ実装方式）接続される半導体素子8と、第2の有機配線層4Bの上に形成した外部との接続のための外部電極10と、第1、第2の有機配線層4A、4B上に形成された各電極7、10が接続される個所などの所定個所を覆った樹脂絶縁層5Cとを有している。ここで、ビア導体2と接続されるコンタクトランド3は、セラミック基板1の表裏面上に規則正しく並べられ、通常格子状または市松状に配置される。この結果、半導体素子8は第1および第2の有機配線層4A、4Bの配線導体6およびセラミック基板1のビア導体2を介して外部に電気的に接続されることになる。

【0025】まず、ビア導体2とコンタクトランド3を有するセラミック基板1の表裏面に、配線導体6と樹脂絶縁層5A、5Bからなる第1、第2の有機配線層4A、4Bが形成される。このセラミック基板1は、厚さ0.2～2.0mmのアルミナ基板を用いる。このアルミナ基板は、コア材として十分な強度を有し、金型加工あるいはレーザーによる穴あけ加工により、高精度なビアホール（パイアホール）形成が可能であり、比較的廉価な材料である。このような特性を有する材料であれば、窒化アルミ、炭化ケイ素など他のセラミック材を使用することも可能である。

【0026】また、本実施の形態では、セラミック基板1の一方の面、例えば表面側の第1の有機配線層4Aを形成した後に、他方の面、すなわち裏面側の第2の有機配線層4Bにより回路形成を行うため、反りの少ない材質としてセラミック基板を用いる例を示したが、配線層形成が可能な範囲で基材の強度が確保できれば、セラミック以外の材料、例えば樹脂材を用いることもできる。

【0027】一方、有機配線層4A、4Bを形成する樹脂絶縁層5A～5Cとしては、ビルドアップ基板材料として用いられているエポキシ系樹脂またはポリイミド系樹脂を用いる。樹脂絶縁層5A～5Cの厚みは、下地となるセラミック基板1の平坦性によっても差が生じ、概ね10～50μm程度である。これら樹脂絶縁層5A～5Cのビアホール形成は、フォトビア加工、レーザー加工等の方式があるが、一般に言われているビルドアップ基板の加工と同様の工程で行われる。また、有機配線層4A、4Bを形成する配線導体6は、銅箔をアディテ

イブ法で形成し、その厚さは $5 \sim 20 \mu\text{m}$ 程度とする。

【0028】さらに、セラミック基板1のビア導体2は、その上部にコンタクトランド3を設ける構造として、この構造は、ビルドアップ（積層）する導体層6の位置ずれを吸収し、確実に接続を行えるようにするためである。特に、絶縁性基板としてセラミック基板1を用いた場合のビア導体2には、モリブデンまたはタングステン等の高融点金属を用いる。

【0029】図2は図1におけるセラミック基板の平面図である。図2に示すように、このセラミック基板1は、セラミックを基材とし、ビア導体2およびこのビア導体2に表裏面の近傍で接続されるコンタクトランド3は、格子状もしくは市松状に配置される。なお、この規則的配置は一部でもよい。

【0030】要するに、このセラミック基板1は、表裏面に形成する2つの配線層を接続させる機能のみで済むため、構造が簡単になると同時に、標準化できるという利点がある。

【0031】このように、ビア導体2、コンタクトランド3が規則的に形成されたセラミック基板1の必要とするコンタクトランド3を選択的に使用して基板表配線部と基板裏配線部を接続することにより、セラミック基板1は複数の回路モジュールに対して共通の部材として扱うことができるようになる。また、セラミック基板1の有機配線層4Aの上には、半導体素子8等の電子部品を実装する部品接続電極7を形成しており、有機配線層4Bの上には、外部（他のボード基板等）に接続する外部電極10を形成している。すなわち、基板裏面のコンタクトランド3より引き出された配線導体6を用い、任意の場所にランド電極を形成することにより、外部電極10とすることができる。この外部電極10は、はんだ接続により他のボード基板への実装が可能である。

【0032】しかるに、従来はセラミック基板1a上に形成したランドと他のボード基板とを接続する場合、ボード基板とモジュール基板との熱膨張係数差によるストレスの発生が問題となっていたが、本実施の形態の構造によれば、樹脂絶縁層5A、5Bを積層してなる有機配線層4A、4Bが発生した応力を吸収し、ボードとの接続に対しても高い接続信頼性を確保することができる。また、本実施の形態においては、基板内には配線層を形成せず、しかも垂直に形成される外部ピンもないため、半導体装置としても小型化および軽量化することができる。

【0033】要するに、本実施の形態による半導体装置は、コアとなる絶縁性基板としてのセラミック基板と、この基板を挟んで上、下に形成する有機配線層と、上側の有機配線層に搭載する半導体素子とを有し、セラミック基板には、表裏面を結合し且つ少なくとも一部が規則的に配列されたビア導体を備えることにより、基板の導体部としてはビア導体およびコンタクトランドだけであ

るので、セラミック基板そのものを標準化された構造とすることができ、異なる製品に対して共通の部材とすることができる。また、回路パターンの引き廻しは、有機配線層に委ねることにより、廉価で自由度の高い基板開発を実現することができる。

【0034】図3は本発明の第2の実施の形態を説明するための半導体装置の断面図である。図3に示すように、この実施の形態は、小型モジュールに適用した例であり、より小型化可能なバンプ構造を採用するとともに、絶縁性基板としてのセラミック基板1は、分割しやすくするために、その端部に有機配線層4A、4Bを形成しないセラミック露出部11を形成したことにある。

【0035】まず、厚さ0.4mmのアルミナセラミック基板1は、1mmピッチの格子状に配列したビア導体2と、表裏面でビア導体2を覆うコンタクトランド3とを備えている。このベースとなる基板1にエポキシ樹脂からなる樹脂絶縁層5と配線導体6を積層し有機配線層4A、4Bを形成する。なお、絶縁層5については、説明を簡略化するため、一まとめにしている。

【0036】ここで、有機配線層4A、4B内部に形成される配線回路層、すなわち配線導体6が表裏各1～3層程度の低層数である場合は、ベースとなる基板1の材質はガラスエポキシ材とすることも可能である。

【0037】また、有機配線層4Aは、表面に半導体素子8をバンプ電極12によってバンプ接続するための電極ランドになる部品接続電極7を形成している。この電極ランドは、約 $100 \mu\text{m}$ ピッチレベルのファインパターン化が必要となるが、ビルドアップ形成される導体層としての配線導体6はこれらの加工が可能である。

【0038】さらに、有機配線層4Bは、ランド電極となる外部電極10を形成するが、実装性を高めるためにあらかじめはんだを供給し、はんだバンプ13を形成しておいてもよい。本例のように、小型のモジュールの組み立てを行う場合、複数の基板を編集し、集合基板としておいた方が効率がよい。

【0039】本実施の形態においては、半導体モジュールの周囲、すなわち端部の樹脂絶縁層5を取り除き、セラミック露出部11を設けておくことにより、基板1の分割が可能になるので、モジュールそのものが小型になった場合でも、編集基板のまま組立て工程を通すことができる。実際の基板1の分割は、レーザー光を照射して分割溝を形成するレーザースクライブ法の適用が可能である。なお、レーザースクライブ法は、基板製造工程、組立て工程を終了した後の工程で行うことができるため、前工程における基板割れを発生させずに済み、しかもスクライブラインを任意に設定できるため、少量多品種のモジュールの生産にも対応が可能である。

【0040】また、本実施の形態においても、コア材となるセラミック基板1のビア導体2を選択的に使用して有機配線層4A、4Bの配線導体6と接続し、使用され

ないビア導体 2 は配線層 4 A、4 B との接続を行わないまま基板 1 中に放置される。このような構造とすることにより、コア材となるセラミック基板 1 を標準部材とし、回路配線はビルドアップ層として基板 1 の表裏に形成する有機配線層 4 A、4 B にパターン形成することができる。

【0041】要するに、本実施の形態による半導体装置は、コアとなる絶縁性基板としてのセラミック基板と、この基板を挟んで上、下に形成する有機配線層と、上側の有機配線層に搭載する半導体素子とを有し、セラミック基板には、表裏面を結合し且つ少なくとも一部が規則的に配列されたビア導体を備えるとともに、半導体素子にパンプ電極を、外部電極にはんだパンプを設けることにより、半導体素子を基板上にパンプ接続する際にも、接続部に対するストレスを緩和することができ、高い接続信頼性を得ることができる。

【0042】さらに、上述した 2 つの実施の形態の他にも、各種の変形例が可能である。すなわち、セラミック基板 1 のビア導体 2 は、格子状あるいは市松状に規則的に配置することを述べたが、用途によっては半導体装置としてのパッケージのサイズを限定し、そのパッケージの中で周辺部にのみ配列するように配置する等の規則性を保った状態で、ビア導体 2 を配置することもできる。かかるビア導体配置に規則性を持たせることは、基板の汎用性を高めると同時に、有機配線層における配線導体設計を容易にすることになる。

【0043】また、ビア導体 2 の各表裏両端部に形成されるコンタクトランド 3 は、例えば 1 mm ピッチの格子状では、ランド径 0.4 ~ 0.6 mm φ の円形としてその効果がある。しかし、このランド 3 の形状は、四角形、楕円形等ビア導体の配置などにより任意に設定可能である。実際、このランド 3 は、位置合わせマークを兼ね、周期的にランド形状またはサイズを変えてもよい。特に、セラミック基板を使用したときには、有機配線層における導体パターンの形成は、印刷で行われるので、任意の場所に導体パターンを形成することができる。このため、コンタクトランド 3 の間に導体による位置合わせマーク等のパターンを入れることができ、好都合である。

【0044】

【発明の効果】以上説明したように、本発明の半導体装置は、コア材となる絶縁性基板、特にセラミック基板を標準化し且つその基板の表裏に形成する有機配線層を多層化容易なビルドアップ（積層）構造とすることにより、それぞれの機能を活かすことができるので、小型・軽量化するとともに、接続の信頼性を高めた高精度で多ピン化（高集積化）対応可能な回路モジュールを実現でき、しかも基板開発費を不要にするとともに、全体のコストを下げるができるという効果がある。

【0045】また、本発明の半導体装置は、絶縁性基板に標準化配列されたビア導体だけを備え、そのビア導体の必要な個所を選択的に使用して基板表裏の接続を行うとともに、有機配線層をビルドアップ（積層）構造とすることにより、回路パターンの引き廻しが容易になり、回路モジュール内部のバーン設計の自由度を大きくできるという効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を説明するための半導体装置の断面図である。

【図 2】図 1 におけるセラミック基板の平面図である。

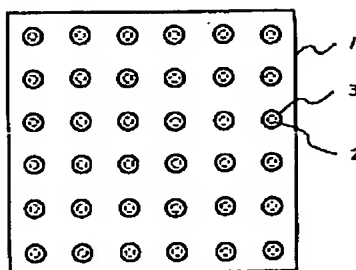
【図 3】本発明の第 2 の実施の形態を説明するための半導体装置の断面図である。

【図 4】従来の一例を説明するための半導体装置の断面図である。

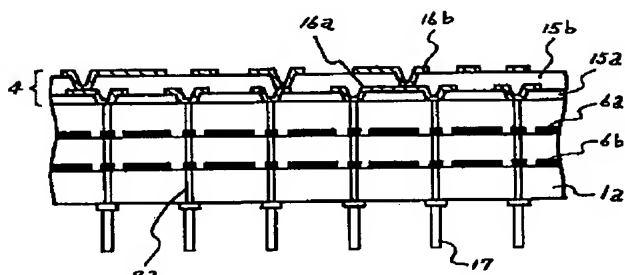
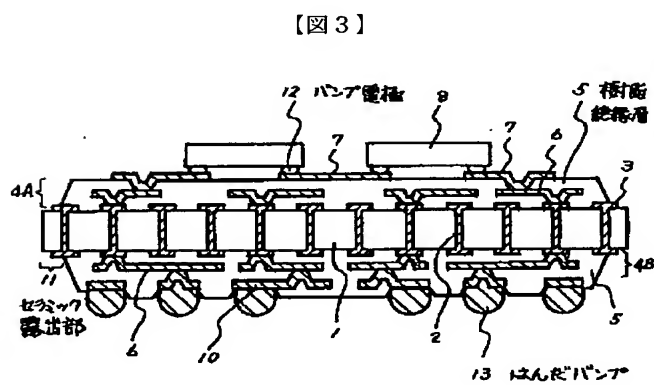
【符号の説明】

- 1 セラミック基板
- 2 ビア導体
- 3 コンタクトランド
- 4 A、4 B 有機配線層
- 5、5 A ~ 5 C 樹脂絶縁層
- 6 配線導体
- 7 部品接続電極
- 8 半導体素子
- 9 ボンディングワイヤ
- 10 外部電極
- 11 セラミック露出部
- 12 パンプ電極
- 13 はんだパンプ

【図 2】



【図 4】



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the beer arranged regularly for combining a table rear face, while having a conductor The insulating substrate with which a wiring layer is not formed in the interior, and the 1st and the 2nd organic wiring layer which were formed in both sides of said insulating substrate by carrying out the laminating of a resin insulating layer and the conductor layer, respectively, electronic parts, such as a semiconductor device connected to said conductor layer of said 1st organic wiring layer, -- having -- said electronic parts -- said beer of said conductor layer of said 1st and 2nd organic wiring layers, and said insulating substrate -- the semiconductor device characterized by connecting outside electrically through a conductor.

[Claim 2] Said insulating substrate is a semiconductor device according to claim 1 using the ceramic substrate which uses a ceramic as a base material.

[Claim 3] said beer -- some conductors [at least] -- the shape of a grid, and the semiconductor device according to claim 1 arranged in checkers.

[Claim 4] said beer -- the semiconductor device according to claim 1 with which the conductor formed the contact land near the outcrop to the front face and rear face of said insulating substrate.

[Claim 5] Said insulating substrate is the semiconductor device according to claim 1 in which the substrate outcrop which does not form said organic wiring layer in the edge on the rear face of a table was formed.

[Claim 6] It is the semiconductor device according to claim 1 which formed the external electrode for connecting said 2nd organic wiring layer to the top face outside by said 1st organic wiring layer forming the components connection electrode for connecting with said electronic parts in the top face.

[Claim 7] Said electronic parts are semiconductor devices according to claim 6 by which are equipped with a bump electrode and bump connection is made at said components connection electrode of said 1st organic wiring layer.

[Claim 8] Said external electrode of said 2nd organic wiring layer is the semiconductor device according to claim 6 in which the solder bump was formed.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device which comes to mount electronic parts, such as a semiconductor device, on a circuit wiring substrate about a semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, this kind of semiconductor device is used for comparatively large-scale integrated circuits, such as a processing unit of a large-sized computer.

[0003] This semiconductor device forms the organic wiring layer which becomes one side of a ceramic multilayer substrate from conductor layers, such as insulating layers, such as polyimide system resin, and copper (Cu), as a structural feature, and, moreover, makes this organic wiring layer multilayer structure in many cases. Since especially this ceramic multilayer substrate is comparatively expensive, the description as a substrate is efficiently employed by carrying out the small modularization of the high part of a function.

[0004] For example, what prepared the terminal of the letter of a lead

is common to a ceramic substrate as are described at drawing 1 of JP, 1-140796, A etc., and the organic wiring layer which consists of Cu and polyimide is formed on a ceramic multilayer substrate and the semiconductor device is described at drawing 2 of the thing which carried out flip chip mounting, or JP, 60-10698, A etc.

[0005] Drawing 4 is the sectional view of the semiconductor device for explaining this conventional example. the conductor which the conventional semiconductor device forms two or more 1st wiring layers 6a and 6b in the interior, and connects electrically these 1st wiring layer 6a and 6b as shown in drawing 4 -- with ceramic substrate 1a equipped with section 2a The organic wiring layer 4 which consists of polyimide insulator layers 15a and 15b and two or more 2nd wiring layers 16a and 16b while being formed on this ceramic substrate 1a, the conductor of ceramic substrate 1a -- it has the external terminal 17 for the external connection soldered to section 2a, and the circuit module is formed. Since this circuit module is having advanced features, it becomes the magnitude beyond 50mm angle as size of a substrate in many cases.

[0006] Thus, since the conventional semiconductor device uses a ceramic substrate for the substrate (core substrate) used as the base and forms the circuit module, it is necessary to use the external terminal 17 as the terminal of the letter of a lead which is easy to take adjustment with the board which mounts this circuit module, and, moreover, the external terminal 17 of the letter of a lead is form in the perimeter or substrate rear face of ceramic substrate 1a by technique, such as low attachment.

[0007] Moreover, since the circuit module as a semiconductor device makes multilayer structure ceramic substrate 1a and the organic wiring layer 4, respectively, a small-scale thing is also possible for the laminating of eight or more layers, and practically sufficient wiring structure is acquired.

[0008]

[Problem(s) to be Solved by the Invention] Since the substrate itself becomes expensive when a ceramic substrate is used as a core substrate, the conventional semiconductor device mentioned above has the problem of being hard to be used in respect of a price in a public welfare-application.

[0009] Since the reason is using the ceramic multilayer substrate as the base substrate, it is mentioned that the cost of the part itself is high. Moreover, it is because substrate cost becomes high generally in order to perform external terminal installation and formation of an organic wiring layer in the state of the piece substrate of an individual.

[0010] Moreover, it is mentioned that the conventional semiconductor device has the high dedication nature of the completed package. That is, although it has a high design degree of freedom fundamentally, the design change of the product done once has the problem of being hard to carry out.

[0011] The reason is that both a ceramic multilayer substrate and an organic wiring layer will be developed, and development cost becomes large when a design change is needed.

[0012] The main object of this invention is to offer the semiconductor device aiming at high integration while it distributes the function which the ceramic substrate as such a core substrate and an organic wiring layer have and lightweight[small and]-izes it as a circuit module.

[0013] Moreover, other objects of this invention are by performing mounting of electronic parts or a package through an organic wiring layer to offer the semiconductor device which raised the dependability of connection.

[0014] Furthermore, other objects of this invention raise the assembly effectiveness as a circuit module, and are to offer the semiconductor device which can realize a large cost cut at the same time they raise the productivity of a substrate by considering as the structure which standardized the ceramic substrate.

[0015]

[Means for Solving the Problem] the beer arranged regularly for the semiconductor device of this invention to combine a table rear face, while having a conductor The insulating substrate with which a wiring layer is not formed in the interior, and the 1st and the 2nd organic wiring layer which were formed in both sides of said insulating substrate by carrying out the laminating of a resin insulating layer and the conductor layer, respectively, electronic parts, such as a semiconductor device connected to said conductor layer of said 1st organic wiring layer, -- having -- said electronic parts -- said beer of said conductor layer of said 1st and 2nd organic wiring layers, and said insulating substrate -- it is constituted so that it may connect outside electrically through a conductor.

[0016] Moreover, the ceramic substrate which uses a ceramic as a base material can be used for the insulating substrate in the semiconductor device of this invention.

[0017] moreover, the beer in the semiconductor device of this invention -- some conductors [at least] -- the shape of a grid -- or it is arranged in checkers.

[0018] moreover, the beer in the semiconductor device of this invention -- the conductor forms the contact land near the outcrop to the front face and rear face of an insulating substrate.

[0019] Moreover, the insulating substrate in the semiconductor device of this invention can form the substrate outcrop which does not form an organic wiring layer in the edge on the rear face of a table.

[0020] Moreover, the 1st organic wiring layer in the semiconductor device of this invention forms the components connection electrode for connecting with electronic parts in the top face, and the 2nd organic wiring layer forms the external electrode for connecting with the top face outside.

[0021] Moreover, the electronic parts in the semiconductor device of this invention can be equipped with a bump electrode, and bump connection can be made at the components connection electrode of the 1st organic wiring layer.

[0022] Furthermore, the external electrode of the 2nd organic wiring layer in the semiconductor device of this invention can form a solder bump.

[0023]

[Embodiment of the Invention] Next, it explains with reference to the gestalt ***** drawing of operation of this invention.

[0024] Drawing 1 is the sectional view of the semiconductor device for explaining the gestalt of operation of the 1st of this invention. As shown in drawing 1, the semiconductor device in the gestalt of this operation two or more beer -- while forming in a conductor 2 and front flesh-side both sides -- beer -- with the ceramic substrate 1 as an insulating substrate equipped with the contact land 3 connected to the ends of a conductor 2 the top-face (front face) side of this ceramic substrate 1 -- forming -- and resin insulating-layer 5A and wiring -- with 1st organic wiring layer 4A which consists of a conductor 6 and resin insulating-layer 5B the underside (rear face) side of a ceramic substrate 1 -- forming -- and resin insulating-layer 5A and wiring -- with 2nd organic wiring layer 4B which consists of a conductor 6 and resin insulating-layer 5B The components connection electrode 7 formed on 1st organic wiring layer 4A, and the semiconductor device 8 connected through a bonding wire 9 at the components connection electrode 7 (or solder mounting method), It has resin insulating-layer 5C which covered predetermined parts, such as a place where the external electrode 10 for connection with the exterior formed on 2nd organic wiring layer 4B and each electrodes 7 and 10 formed on 1st and 2nd organic wiring layer 4A and 4B are connected. here -- beer -- the contact land 3 connected with

a conductor 2 is regularly arranged in on the table rear face of a ceramic substrate 1 -- having -- usually -- the shape of a grid -- or it is arranged in checkers. consequently, the semiconductor device 8 -- wiring of the 1st and 2nd organic wiring layers 4A and 4B -- a conductor 6 and the beer of a ceramic substrate 1 -- it will connect outside electrically through a conductor 2.

[0025] first, beer -- the table rear face of the ceramic substrate 1 which has a conductor 2 and the contact land 3 -- wiring -- the 1st and 2nd organic wiring layer 4A and 4B which consists of a conductor 6 and resin insulating layers 5A and 5B is formed. An alumina substrate with a thickness of 0.2-2.0mm is used for this ceramic substrate 1. This alumina substrate has reinforcement sufficient as core material, and highly precise beer hall (Bahia hall) formation is possible for it by metal mold processing or drilling processing by laser, and it is a comparatively cheap ingredient. If it is the ingredient which has such a property, it is also possible to use other ceramic material, such as nitriding aluminum and silicon carbide.

[0026] Moreover, although the example using a ceramic substrate as construction material with little curvature was shown with the gestalt of this operation in order for 2nd organic wiring layer 4B by the side of the field of another side, i.e., a rear face, to perform circuit formation after forming 1st organic wiring layer 4A by the side of one field of a ceramic substrate 1, for example, a front face If the reinforcement of a base material is securable in the range in which wiring layer formation is possible, it can also use, the ingredients, for example, the resin material, other than a ceramic.

[0027] On the other hand, the epoxy system resin or polyimide system resin which forms the organic wiring layers 4A and 4B and which is used as a build up substrate ingredient as resin insulating layers 5A-5C is used. A difference arises "Resemble the surface smoothness of the ceramic substrate 1 used as a substrate", and the thickness of the resin insulating layers 5A-5C is about 10-50 micrometers in general. Although beer hall formation of these resin insulating layers 5A-5C has methods, such as photograph beer processing and laser beam machining, it is performed at the same process as processing of the build up substrate generally said. moreover, wiring which forms the organic wiring layers 4A and 4B -- a conductor 6 forms copper foil with an additive process, and sets the thickness to about 5-20 micrometers.

[0028] furthermore, the beer of a ceramic substrate 1 -- although the conductor 2 is made into the structure of forming the contact land 3 in that upper part, it is because this structure absorbs the location gap

of a conductor layer 6 which carries out a build up (laminating) and connection can be made certainly. the beer at the time of using a ceramic substrate 1 as an insulating substrate especially -- refractory metals, such as molybdenum or a tungsten, are used for a conductor 2.

[0029] Drawing 2 is the top view of the ceramic substrate in drawing 1 . it is shown in drawing 2 -- as -- this ceramic substrate 1 -- a ceramic -- a base material -- carrying out -- beer -- a conductor 2 and this beer -- the contact land 3 connected to a conductor 2 near the table rear face -- the shape of a grid -- or it is arranged in checkers. In addition, a part is available for this regular arrangement.

[0030] In short, this ceramic substrate 1 has the advantage that it can standardize, while structure becomes easy, since only the function to connect two wiring layers formed in a table rear face is required.

[0031] thus, beer -- when a conductor 2 and the contact land 3 connect the substrate table wiring section and the substrate flesh-side wiring section, using selectively the contact land 3 which the ceramic substrate 1 formed regularly needs, a ceramic substrate 1 can be treated as a common member to two or more circuit modules. Moreover, on organic wiring layer 4A of a ceramic substrate 1, the components connection electrode 7 which mounts the electronic parts of semiconductor device 8 grade is formed, and the external electrode 10 linked to the exteriors (other board substrates etc.) is formed on organic wiring layer 4B. namely, wiring pulled out from the contact land 3 on the rear face of a substrate -- it can consider as the external electrode 10 by forming a land electrode in the location of arbitration using a conductor 6. Mounting to other board substrates is possible for this external electrode 10 by the soldered joint.

[0032] However, although generating of the stress by the coefficient-of-thermal-expansion difference of a board substrate and a module substrate had become a problem when the land formed on ceramic substrate 1a and other board substrates were connected conventionally According to the structure of the gestalt of this operation, the stress which the organic wiring layers 4A and 4B which come to carry out the laminating of the resin insulating layers 5A and 5B generated can be absorbed, and high connection dependability can be secured also to connection with a board. since [moreover,] there is also no external pin which does not form a wiring layer in a substrate but is moreover vertically formed in the gestalt of this operation -- as a semiconductor device -- a miniaturization -- and it can lightweight-ize.

[0033] In short, the semiconductor device by the gestalt of this operation It has the semiconductor device carried in the ceramic

substrate as an insulating substrate used as a core, the organic wiring layer formed in the bottom upwards on both sides of this substrate, and an upper organic wiring layer. To a ceramic substrate the beer with which the table rear face was combined and at least the part was arranged regularly -- having a conductor -- the conductor of a substrate -- as the section -- beer, since it is only a conductor and a contact land It can consider as the structure where the ceramic substrate itself was standardized, and can consider as a common member to a different product. Moreover, that a circuit pattern lengthens about, by entrusting an organic wiring layer, it is cheap and substrate development with a high degree of freedom can be realized.

[0034] Drawing 3 is the sectional view of the semiconductor device for explaining the gestalt of operation of the 2nd of this invention. As shown in drawing 3, the gestalt of this operation is the example applied to the small module, and while adopting the bump structure which can be miniaturized, the ceramic substrate 1 as an insulating substrate is to have formed the ceramic outcrop 11 which does not form the organic wiring layers 4A and 4B in that edge, in order to make it easy to divide.

[0035] first, the beer which arranged the alumina ceramic substrate 1 with a thickness of 0.4mm in the shape of [of 1mm pitch] a grid -- a conductor 2 and a table rear face -- beer -- it has the wrap contact land 3 for the conductor 2. the resin insulating layer 5 and wiring which become the substrate 1 used as this base from epoxy system resin - the laminating of the conductor 6 is carried out and the organic wiring layers 4A and 4B are formed. In addition, about the insulating layer 5, in order to simplify explanation, it is made the bundle.

[0036] the wiring circuitry layer formed in the interior of organic wiring layer 4A and 4B here, i.e., wiring, -- a conductor 6 -- a table - back -- when it is the number of low levels which is about one -each 3 layers, construction material of the substrate 1 used as the base can also be considered as glass epoxy material

[0037] Moreover, organic wiring layer 4A forms in a front face the components connection electrode 7 which becomes an electrode land for making bump connection of the semiconductor device 8 with the bump electrode 12. wiring as a conductor layer with which build up formation of this electrode land is carried out although fine patternizing of about 100-micrometer pitch level is needed -- these processings are possible for a conductor 6.

[0038] Furthermore, although organic wiring layer 4B forms the external electrode 10 used as a land electrode, in order to raise mounting nature, it may supply solder beforehand, and may form the solder bump 13. It is

more efficient to have edited two or more substrates and to consider as a set substrate, when carrying out by a small module assembling like this example.

[0039] In the gestalt of this operation, since division of a substrate 1 is attained by removing the perimeter 5 of a semi-conductor module, i.e., the resin insulating layer of an edge, and forming the ceramic outcrop 11, even when the module itself becomes small, it can let an assembly process pass with an edit substrate. Application of the laser scribe method which irradiates laser light and forms a **** part groove is possible for division of the actual substrate 1. In addition, since it does not need to generate the substrate crack in a before process since the laser scribe method can be performed at the process after ending a substrate production process and an assembly process, and it can moreover set a scribe line as arbitration, it can respond also to production of the module of small quantity many forms.

[0040] moreover, the beer of the ceramic substrate 1 which serves as core material also in the gestalt of this operation -- a conductor 2 -- alternative -- using it -- wiring of the organic wiring layers 4A and 4B -- the beer which connects with a conductor 6 and is not used -- a conductor 2 is left in a substrate 1, not making connection with wiring layers 4A and 4B. By considering as such structure, the ceramic substrate 1 used as core material can be made into the Standards Department material, and pattern formation of the circuit wiring can be carried out to the organic wiring layers 4A and 4B formed in the front flesh side of a substrate 1 as a build up layer.

[0041] In short, the semiconductor device by the gestalt of this operation It has the semiconductor device carried in the ceramic substrate as an insulating substrate used as a core, the organic wiring layer formed in the bottom upwards on both sides of this substrate, and an upper organic wiring layer. To a ceramic substrate the beer with which the table rear face was combined and at least the part was arranged regularly, while having a conductor Also in case bump connection of the semiconductor device is made on a substrate by preparing a bump electrode in a semiconductor device and preparing a solder bump in an external electrode, the stress to a connection can be eased and high connection dependability can be acquired.

[0042] Furthermore, various kinds of modifications other than the gestalt of two operations mentioned above are possible. namely, the beer of a ceramic substrate 1 -- the condition which maintained the regularity of arranging so that the size of the package as a semiconductor device may be limited depending on an application and it

may arrange only to a periphery in the package although the conductor 2 said the shape of a grid, and that it arranges regularly in checkers -- it is -- beer -- a conductor 2 can also be arranged. this beer -- a conductor -- wiring in an organic wiring layer at the same time giving regularity to arrangement raises the versatility of a substrate -- a conductor -- a design will be made easy.

[0043] moreover, beer -- the contact land 3 formed in each **** both ends of a conductor 2 has the effectiveness in the shape of a grid of for example, 1mm pitch as 0.4-0.6mm of diameters phi of a land being circular. however, the configuration of this land 3 -- beer, such as a square and an ellipse form, -- it can be set as arbitration by arrangement of a conductor etc. This land 3 may serve as an alignment mark, and may actually change a land configuration or size periodically. When ceramic substrate ** is used especially, since formation of the conductor pattern in an organic wiring layer is performed by printing, a conductor pattern can be formed in the location of arbitration. For this reason, patterns, such as an alignment mark by the conductor, can be put in between the contact lands 3, and it is convenient.

[0044]

[Effect of the Invention] As explained above, the semiconductor device of this invention the organic wiring layer which standardizes the insulating substrate used as core material, especially a ceramic substrate, and is formed in the front flesh side of the substrate -- multilayering, since each function can be utilized by considering as easy build up (laminating) structure While being able to realize the circuit module which raised the dependability of connection while lightweight[small and]-izing and in which a many pin-sized (high integration) response is highly precise and possible and making substrate development costs unnecessary moreover, it is effective in the ability to lower the whole cost.

[0045] moreover , the beer with which the standardization array of the semiconductor device of this invention be carried out at an insulating substrate -- a conductor -- have -- the beer -- length **** of a circuit pattern become easy and be effective in the ability enlarge the degree of freedom of the Pan design inside a circuit module by make an organic wiring layer into build up (laminating) structure , while connect a substrate table flesh side , use the required part of a conductor selectively

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device for explaining the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the top view of the ceramic substrate in drawing 1 .

[Drawing 3] It is the sectional view of the semiconductor device for explaining the gestalt of operation of the 2nd of this invention.

[Drawing 4] It is the sectional view of the semiconductor device for explaining a conventional example.

[Description of Notations]

- 1 Ceramic Substrate
- 2 Beer -- Conductor
- 3 Contact Land
- 4A, 4B Organic wiring layer
- 5, 5A-5C Resin insulating layer
- 6 Wiring -- Conductor
- 7 Components Connection Electrode
- 8 Semiconductor Device
- 9 Bonding Wire
- 10 External Electrode
- 11 Ceramic Outcrop
- 12 Bump Electrode
- 13 Solder Bump

[Translation done.]

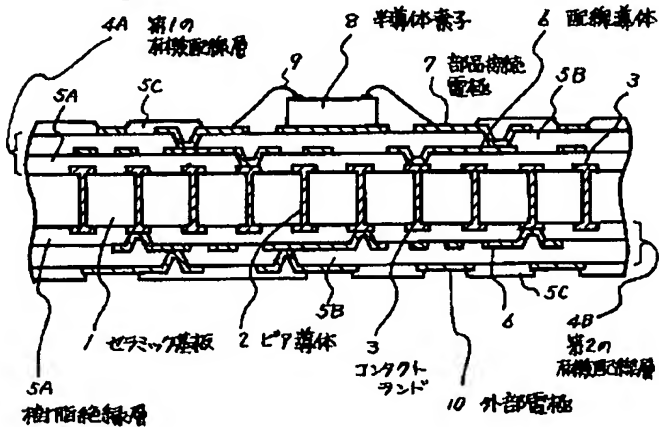
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

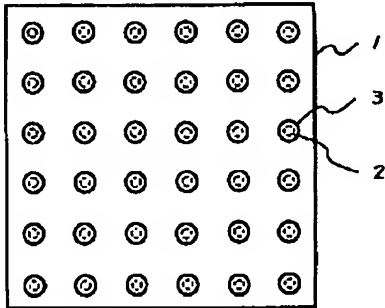
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

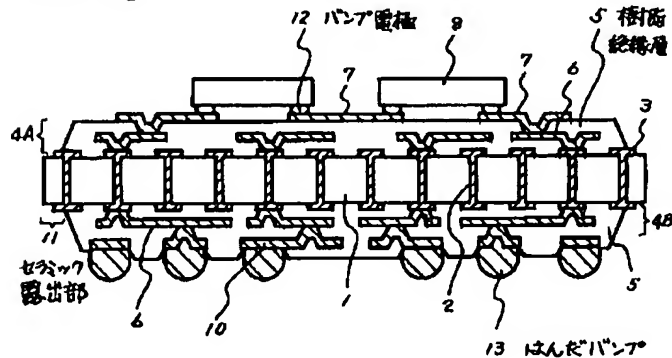
[Drawing 1]



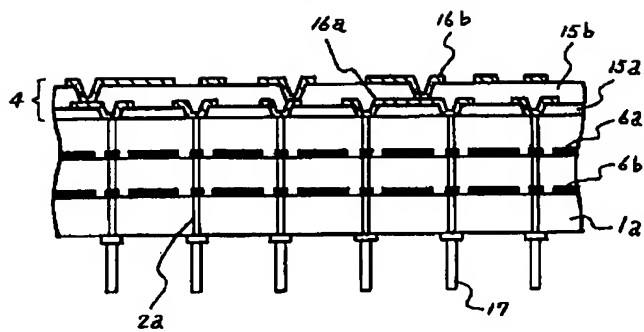
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]